

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2004-095849

(43)Date of publication of application : 25.03.2004

(51)Int.Cl. H01L 21/3205
H01L 21/60
H01L 23/12

(21)Application number : 2002-254858

(71)Applicant : FUJIKURA LTD
OLYMPUS CORP

(22)Date of filing : 30.08.2002

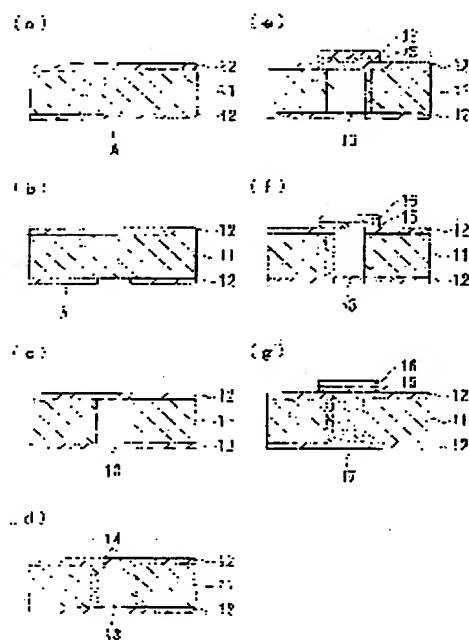
(72)Inventor : YAMAMOTO SATOSHI
TAKIZAWA ISAO
SUEMASU TATSUO
KATASHIRO MASAHIRO
MIYAJIMA HIROSHI
MATSUMOTO KAZUYA
ISOKAWA TOSHIHIKO

(54) METHOD FOR MANUFACTURING SEMICONDUCTOR SUBSTRATE WITH THROUGH ELECTRODE, AND METHOD FOR MANUFACTURING SEMICONDUCTOR DEVICE WITH THROUGH ELECTRODE

(57)Abstract:

PROBLEM TO BE SOLVED: To provide a method for manufacturing a semiconductor substrate with a through electrode and a method for manufacturing a semiconductor device with a through electrode, for efficiently forming a through electrode on a semiconductor substrate where a device or wiring is already formed.

SOLUTION: In the method of manufacturing a semiconductor substrate with a through electrode, a first silicon oxide film 12 is formed on the main surface of a semiconductor substrate 11. A pore 13 extending from a main surface A to the first silicon oxide film 12 on the other main surface side is formed. A second silicon oxide film 14 is formed on the inside wall of the pore 13. First and second metal thin films 15 and 16 are formed on the first silicon oxide film 12. A first silicon oxide film 12 at the end of the pore 13 is removed and then a conductive material is filled in the pore 13 to form the through electrode 17. The pore 13 is formed by a DRIE method. The conductive material is filled in the pore 13 by a molten metal suction method or a printing method.



LEGAL STATUS

[Date of request for examination]

30.05.2005

[Date of sending the examiner's decision of rejection]

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2004-95849

(P2004-95849A)

(43) 公開日 平成16年3月25日(2004.3.25)

(51) Int. Cl.⁷

H01L 21/3205

H01L 21/60

H01L 23/12

F1

H01L 21/88

H01L 21/60

H01L 23/12

J

311Z

Z

テーマコード(参考)

5F033

5F044

審査請求 未請求 請求項の数 6 O L (全 12 頁)

(21) 出願番号

特願2002-254858(P2002-254858)

(22) 出願日

平成14年8月30日(2002.8.30)

(71) 出願人 000005186

株式会社フジクラ

東京都江東区木場1丁目5番1号

(71) 出願人 000000376

オリンパス株式会社

東京都渋谷区幡ヶ谷2丁目43番2号

(74) 代理人 100064908

弁理士 志賀 正武

(74) 代理人 100108578

弁理士 高橋 詔男

(74) 代理人 100089037

弁理士 渡邊 隆

(74) 代理人 100101465

弁理士 青山 正和

最終頁に続く

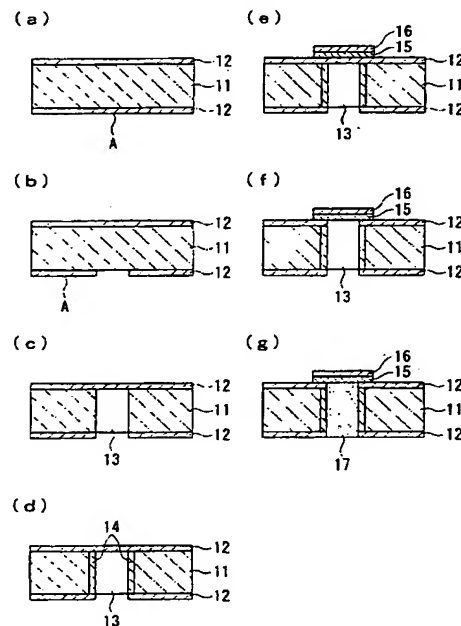
(54) 【発明の名称】 貫通電極付き半導体基板の製造方法、貫通電極付き半導体デバイスの製造方法

(57) 【要約】

【課題】 既にデバイスや配線が形成されている半導体基板に対し、効率良く貫通電極を形成する貫通電極付き半導体基板の製造方法、貫通電極付き半導体デバイスの製造方法を提供する。

【解決手段】 半導体基板11の主面に第1のシリコン酸化膜12を形成し、主面Aからもう一方の主面側の第1のシリコン酸化膜12に達する細孔13を形成し、細孔13の孔壁に第2のシリコン酸化膜14を形成し、第1のシリコン酸化膜12上に第1の金属薄膜15および第2の金属薄膜16を形成し、細孔13の端部における第1のシリコン酸化膜12を除去し、細孔13内に導電性物質を充填し貫通電極17を形成する貫通電極付き半導体基板の製造方法。細孔13を、DRIE法で形成する。導電性物質を、熔融金属吸引法または印刷法により細孔13内に充填する。

【選択図】 図1



【特許請求の範囲】

【請求項 1】

半導体基板の主面同士を配線する貫通電極付き半導体基板の製造方法であって、前記半導体基板の少なくとも一方の主面に第 1 の絶縁層を形成する第 1 の絶縁層形成工程と、他方の主面から前記一方の主面側の第 1 の絶縁層に達する細孔を形成する細孔形成工程と、前記細孔の孔壁に第 2 の絶縁層を形成する第 2 の絶縁層形成工程と、少なくとも前記細孔の端部における前記第 1 の絶縁層上に金属薄膜を形成する薄膜形成工程と、前記細孔の端部における前記第 1 の絶縁層を除去する絶縁層除去工程と、前記細孔内に導電性物質を充填し貫通電極を形成する導電性物質充填工程とを有することを特徴とする貫通電極付き半導体基板の製造方法。

10

【請求項 2】

前記細孔を、Deep-Reactive Ion Etching 法で形成することを特徴とする請求項 1 記載の貫通電極付き半導体基板の製造方法。

【請求項 3】

前記金属薄膜を、異なる種類の金属を 2 層以上積層して形成することを特徴とする請求項 1 または 2 記載の貫通電極付き半導体基板の製造方法。

【請求項 4】

デバイスが形成されている半導体基板の主面同士を配線する貫通電極付き半導体デバイスの製造方法であって、

前記半導体基板の少なくともデバイスが形成されている一方の主面に第 1 の絶縁層を形成する第 1 の絶縁層形成工程と、前記絶縁層上に金属薄膜を形成する薄膜形成工程と、前記半導体基板の他方の主面から、前記導電性薄膜直下の絶縁層に達する細孔を形成する細孔形成工程と、前記細孔の孔壁および前記半導体基板の他方の主面に第 2 の絶縁層を形成する第 2 の絶縁層形成工程と、前記細孔の端部の絶縁層を除去する絶縁層除去工程と、前記細孔内に導電性物質を充填する導電性物質充填工程とを有することを特徴とする貫通電極付き半導体デバイスの製造方法。

20

【請求項 5】

前記細孔を、Deep-Reactive Ion Etching 法で形成することを特徴とする請求項 4 記載の貫通電極付き半導体デバイスの製造方法

【請求項 6】

前記金属薄膜を、異なる種類の金属を 2 層以上積層して形成することを特徴とする請求項 4 または 5 記載の貫通電極付き半導体デバイスの製造方法。

30

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、電子デバイスや光デバイスなどの配線、あるいはデバイスを積層接続する際の配線層に利用する貫通電極付き半導体基板の製造方法、貫通電極付き半導体デバイスの製造方法に関する。

【0002】

【従来の技術】

電子デバイスや光デバイスなどの各種デバイスの配線や、デバイスを積層する際の配線層に貫通電極付き半導体基板を用いることがある。

40

図 7 は、貫通電極が設けられた貫通電極付き半導体基板の構成の一例を示す概略断面図である。

この貫通電極付き半導体基板は、シリコン基板などからなる半導体基板 1 と、半導体基板 1 の表面および半導体基板 1 を貫通する細孔 4 の孔壁に形成された絶縁層 2 と、細孔 4 内に充填された金属などの導電性物質層からなる貫通電極 3 とから概略構成されている。

【0003】

次に、図 8 を用いて、貫通電極付き半導体基板の製造方法の一例を説明する。貫通電極付き半導体基板を製造するには、まず、図 8 (a) に示すように、半導体基板 1 に、半導体

50

基板1を貫通する細孔4を形成する細孔形成工程を行う。細孔4を形成する方法としては、ICP-RIE (Inductively Coupled Plasma-Reactive Ion Etching) に代表されるDRIE (Deep-Reactive Ion Etching) 法、水酸化カリウム溶液などを用いた異方性エッチング法、マイクロドリルによる機械加工法、光励起電解研磨法などが挙げられる。

次いで、図8(b)に示すように、半導体基板1の表面および細孔4の孔壁に絶縁層2を形成する絶縁層形成工程を行う。

次いで、図8(c)に示すように、熔融金属吸引法、スパッタ法、めっき法、印刷法などにより、金属などの導電性物質を細孔4内に充填して貫通電極3を形成し、貫通電極付き半導体基板を得る。

【0004】

このようにして得られた貫通電極付き半導体基板は、各種デバイスを作製するための基板として使われたり、あるいは図9に示すように、金属などの導電性物質により配線5を形成し、他のデバイスを積層して配線するための基台（インターポーザ）として利用することができる。

【0005】

【発明が解決しようとする課題】

上述したように、従来の貫通電極付き半導体基板の製造方法では、半導体基板に貫通電極を形成した後、各種デバイスや配線を作製する。そのため、貫通電極を形成する導電性物質の物性に依りて、その後の熱処理温度に制約が生じ、結果として作製できるデバイスや配線が制限されてしまう。

例えば、配線をアルミニウムで形成する場合、シンタリング処理という400℃程度の熱処理を行うことがあるが、貫通電極が金錫（Au-Sn）などの共晶金属や、導電性ペーストで形成されている場合には、この熱処理によって金属の熔融や、導電性ペーストの物性変化が生じるおそれがある。

【0006】

また、上述した貫通電極付き半導体基板に、電子デバイスを作製する場合、作製プロセスの面から、以下に示す問題がある。

通常、電子デバイスを作製するクリーンルームでは、重金属汚染などの観点から、アルミニウムなど標準的な金属以外の金属を、極力持ち込むのを避けている。貫通電極付き半導体基板にデバイスや配線を作製する作製プロセスは、成膜装置、パターニング装置など、複数の設備を使用するものとなり、汚染防止の観点から望ましくない。貫通電極付き半導体基板やデバイスが汚染されると、その基板はもちろんのこと、設備を介した汚染（クロスコンタミ）により、貫通電極を有しない他の電子デバイスにおいても、特性が劣化するおそれがある。したがって、貫通電極を電子デバイスに適用する際には、貫通電極の形成は、極力最終工程に集約することが望ましい。

【0007】

また、貫通電極の表面には、通常数 μm 程度の凹凸があるため、作製するデバイスによっては、この凹凸が作製プロセスに影響を及ぼすことがある。例えば、貫通電極付き半導体基板に、スピコートによりレジストを塗布する際には、貫通電極の表面に凹凸があると、その近辺では、均一なレジスト塗布が困難となる。

【0008】

本発明は、前記事情に鑑みてなされたもので、既にデバイスや配線が形成されている半導体基板に対し、効率良く貫通電極を形成する貫通電極付き半導体基板の製造方法、貫通電極付き半導体デバイスの製造方法を提供することを課題とする。

【0009】

【課題を解決するための手段】

本発明は、半導体基板の主面同士を配線する貫通電極付き半導体基板の製造方法であって、前記半導体基板の少なくとも一方の主面に第1の絶縁層を形成する第1の絶縁層形成工程と、他方の主面から前記一方の主面側の第1の絶縁層に達する細孔を形成する細孔形成

工程と、前記細孔の孔壁に第2の絶縁層を形成する第2の絶縁層形成工程と、少なくとも前記細孔の端部における前記第1の絶縁層上に導電性薄膜を形成する薄膜形成工程と、前記細孔の端部における前記第1の絶縁層を除去する絶縁層除去工程と、前記細孔内に導電性物質を充填し貫通電極を形成する導電性物質充填工程とを有する貫通電極付き半導体基板の製造方法を提供する。

本発明は、デバイスが形成されている半導体基板の主面同士を配線する貫通電極付き半導体デバイスの製造方法であって、前記半導体基板の少なくともデバイスが形成されている一方の主面に第1の絶縁層を形成する第1の絶縁層形成工程と、前記絶縁層上に導電性薄膜を形成する薄膜形成工程と、前記半導体基板の他方の主面から、前記導電性薄膜直下の絶縁層に達する細孔を形成する細孔形成工程と、前記細孔の孔壁および前記半導体基板の他方の主面に第2の絶縁層を形成する第2の絶縁層形成工程と、前記細孔の端部の絶縁層を除去する絶縁層除去工程と、前記細孔内に導電性物質を充填する導電性物質充填工程とを有する貫通電極付き半導体デバイスの製造方法を提供する。

前記細孔を、Deep-Reactive Ion Etching法で形成することが好ましい。

前記金属薄膜を、異なる種類の金属を2層以上積層して形成することが好ましい。

【0010】

【発明の実施の形態】

以下、本発明を詳しく説明する。

本発明の貫通電極付き半導体基板の製造方法の一実施形態について、図1および図2を用いて説明する。

この実施形態では、電子デバイスを積層配線する際の基台（インターポーザ）などとして利用する貫通電極付き半導体基板の製造方法について説明する。

なお、図1は、この実施形態の貫通電極付き半導体基板の製造方法を工程順に示し、半導体基板を貫通電極の延在方向に切断した断面図であり、図2は貫通電極付き半導体基板を半導体基板上面から眺めた平面図である。

【0011】

この実施形態の貫通電極付き半導体基板では、まず、図1(a)に示すように、厚さ300 μ m程度のシリコン基板からなる半導体基板11の両主面に、厚さ1 μ m程度の絶縁層である第1のシリコン酸化膜12を形成する（第1の絶縁層形成工程）。この実施形態では、例えば、温度1000℃、4時間の熱酸化法により、第1のシリコン酸化膜12を形成する。

なお、第1のシリコン酸化膜12を形成する方法は、熱酸化法に限定されるものではなく、シリコン酸化膜の膜厚や所望の用途に応じて、プラズマCVD法やスパッタリング法などによっても形成することができる。

【0012】

この実施形態では、半導体基板11として、シリコン基板を用いることによって、熱酸化などにより、容易に第1のシリコン酸化膜12からなる絶縁層を形成できる。また、シリコン基板を用いれば、後述のDeep-Reactive Ion Etching（以下、「DRIE」と略すこともある。）法によって、半導体基板11の面内に精度良く後述の細孔を形成することができる。

また、この第1のシリコン酸化膜12を形成することにより、後段の工程において形成される金属薄膜と半導体基板11との間が絶縁される。したがって、この金属薄膜を所望の形状とすることにより、この金属薄膜を半導体基板11上に設けられる電子デバイスと、貫通電極との間の配線として利用することができる。あるいは、貫通電極付き半導体基板を電子デバイスを積層配線する際の基台として使用する場合、この金属薄膜を配線層としても利用することができる。

さらに、絶縁層として第1のシリコン酸化膜12を用いることにより、DRIE法によって細孔を形成する際に、第1のシリコン酸化膜12がエッチングストップ層として働くため、半導体基板11の面内で均一に細孔を形成することができる。そして、エッチングガ

スを変えることにより、第1のシリコン酸化膜12のみを除去することができる。この場合、後述の金属薄膜がエッチングストップ層として働くから、一連の工程で金属薄膜の直下に、所望の細孔を形成することができる。

【0013】

次いで、図1(b)に示すように、一方の主面Aにおける貫通電極を形成する箇所の第1のシリコン酸化膜12を除去する。

次いで、図1(c)に示すように、Deep-Reactive Ion Etching法によって、半導体基板11に、一方の主面Aから他方の主面側に形成された第1のシリコン酸化膜12に至る細孔13を形成する(細孔形成工程)。ここで、Deep-Reactive Ion Etching法とは、エッチングガスとして六フッ化硫黄(SF₆)などを用い、高密度プラズマによるエッチングと、細孔13の側壁へのパッシベーション成膜を交互に行うことにより(Boschプロセス)、半導体基板11に深掘りエッチングする方法である。

なお、細孔13の深さ方向と垂直な断面の形状は、円形、楕円形、三角形、四角形、矩形などいかなる形状であってもよく、その大きさも、所望の貫通電極付き半導体基板の大きさ、導電性(抵抗値)などに応じて適宜設定される。

【0014】

このように、細孔13の形成をDRIE法によって行えば、細孔13の微細な加工が容易であり、かつ、使用する半導体基板とエッチングガスを適宜選択することにより、細孔13および後述の金属薄膜直下の第1のシリコン酸化膜12の除去を、一連のプロセスで行うことができるから、効率良く所望の細孔13を形成することができる。

【0015】

次いで、図1(d)に示すように、細孔13の孔壁に厚さ1μm程度の絶縁層である第2のシリコン酸化膜14を形成する(第2の絶縁層形成工程)。この実施形態では、例えば、温度1000℃、4時間の熱酸化法により、第2のシリコン酸化膜14を形成する。

なお、第2のシリコン酸化膜14を形成する方法は、熱酸化法に限定されるものではなく、シリコン酸化膜の膜厚や所望の用途に応じて、プラズマCVD法やスパッタリング法などによっても形成することができる。

このように、細孔13の孔壁に、第2の絶縁層を形成することにより、後段の工程において、細孔13内充填される導電性物質と半導体基板11とが絶縁される。

【0016】

次いで、図1(e)に示すように、少なくとも細孔13上の第1のシリコン酸化膜12上に、第1の金属薄膜15、およびこれとは異なる素材からなる第2の金属薄膜16を形成する(薄膜形成工程)。この実施形態では、例えば、スパッタリング法により、第1の金属薄膜15および第2の金属薄膜16を形成する。これら金属薄膜を必要に応じて、適宜の方法でパターンニングすることにより、図2(a)に示すような貫通電極部21上の電極パッド22や、図2(b)に示すような基板20上の他の電極パッド23、およびこれらを接続するための配線24などを形成することができる。この実施形態では、例えば、第1の金属薄膜15としてアルミニウム-シリコン(Al-Si)薄膜を、第2の金属薄膜16としてアルミニウム(Al)薄膜を形成する。

なお、この実施形態では、第1の金属薄膜15としてアルミニウム-シリコン薄膜を、第2の金属薄膜16としてアルミニウム薄膜を形成したが、本発明はこれに限定されるものではない。第1の金属薄膜15は、貫通電極17との密着性を高めるために、細孔13内に充填される導電性物質の種類に応じて、金、白金、チタン、銀、銅、ビスマス、錫、ニッケル、クロム、亜鉛などの金属、およびこれらの合金などから選択され、組み合わせられて形成することができる。また、第2の金属薄膜16は、他の半導体基板に設けられる、はんだバンプや、回路パターン(配線)などとの密着性を高めるために、これらの種類に応じて、金、白金、チタン、銀、銅、ビスマス、錫、ニッケル、クロム、亜鉛などの金属、およびこれらの合金などから選択され、組み合わせられて形成することができる。また、この実施形態では、半導体基板11上に形成される金属薄膜を、第1の金属薄膜15およ

10

20

30

40

50

び第2の金属薄膜16の2層からなるものとしたが、本発明はこれに限定されるものではなく、金属薄膜が異なる種類の金属を3層以上積層して形成されたものであってもよい。

【0017】

このように、半導体基板11上に形成される金属薄膜を、異なる種類の金属を2層以上積層して形成すれば、細孔13内に充填される導電性物質と、金属薄膜との密着性を高めることができるから、貫通電極17と金属薄膜（ここでは、第1の金属薄膜15および第2の金属薄膜16）との間で信頼性の高い電氣的接続を実現できる。

【0018】

次いで、図1(f)に示すように、細孔13の第1の金属薄膜15および第2の金属薄膜16が形成されている側の端部の第1のシリコン酸化膜12のみを、エッチング処理により除去し、細孔13内に第1の金属薄膜15を露出させる（絶縁層除去工程）。この実施形態では、例えば、エッチングガスとして四フッ化炭素(CF₄)を用い、RIE(Reactive Ion Etching)法を用いるドライエッチング法により、第1のシリコン酸化膜12のエッチングを行う。

【0019】

次いで、図1(g)に示すように、熔融金属吸引法または印刷法により、導電性物質を細孔13内に充填し、貫通電極17を形成し（導電性物質充填工程）、貫通電極付き半導体基板を得る。

この導電性物質充填工程においては、細孔13内に導電性物質を充填することにより、第1の金属薄膜15および第2の金属薄膜16と、貫通電極17とが電氣的に接続される。

【0020】

ここで、熔融金属吸引法とは、真空チャンバ内などの減圧環境下で半導体基板を熔融金属浴に浸した後、増圧（例えば、真空度を低くしたり、大気圧とする）することによって、細孔内に熔融金属を充填する方法である。この熔融金属吸引法では、例えば、導電性物質として、金(Au)80重量%-錫(Sn)20重量%からなる共晶金属を使用する。熔融金属吸引法を用いて、細孔13内に導電性物質を充填すれば、微細な細孔13内にも効率良く導電性物質を充填することができる。また、細孔13内の端部まで導電性物質を充填することができるから、第1の金属薄膜15および第2の金属薄膜16と、この導電性物質によって形成される貫通電極17とが電氣的に接続され、貫通電極17が電極として機能するようになる。

なお、この実施形態では、熔融金属吸引法によって細孔13内に、導電性物質として、金80重量%-錫20重量%からなる共晶金属を充填したが、本発明はこれに限定されるものではない。導電性物質として、異なる組成の金-錫合金や、錫、インジウムなどの金属、または、錫-鉛系、錫基、鉛基、金基、インジウム基、アルミニウム基などのはんだを使用することができる。

【0021】

印刷法では、例えば、孔版印刷法により、銅(Cu)ペーストを細孔13内に充填する。印刷法を用いて、細孔13内に導電性物質を充填すれば、半導体基板11または半導体基板11の積層体の主面の面積が大きくなっても、細孔13内に均一に、効率良く導電性物質を充填することができる。また、細孔13内の端部まで導電性物質を充填することができるから、第1の金属薄膜15および第2の金属薄膜16と、この導電性物質によって形成される貫通電極17とが電氣的に接続され、貫通電極17が電極として機能するようになる。

なお、印刷法によって細孔13内に、導電性物質として、銅ペーストを充填したが、本発明はこれに限定されるものではない。導電性物質として、銀ペースト、カーボンペースト、金-錫ペーストなどの導電性ペーストを使用することができる。

【0022】

この実施形態で得られた貫通電極付き半導体基板の一方の主面A上には、必要に応じて、図3(a)に示すような電極パッド25や配線26、または、図3(b)に示すような金属パンプ27を設けてもよい。

【0023】

また、この実施形態で得られた貫通電極付き半導体基板は、表裏を貫通電極17によって電氣的に接続できるため、電子デバイスを積層配線する際の基台（インターポーザ）として利用したり、電子デバイス同士を電氣的に接続する際の配線層として利用できる。

【0024】

次に、本発明の貫通電極付き半導体デバイスの製造方法の一実施形態について、図4および図5を用いて説明する。

この実施形態では、既にMEMS（Micro Electro Mechanical Systems）駆動や制御などの汎用ICあるいは、センサなどのMEMSデバイスが設けられている半導体基板に対し、効率良く貫通電極を形成する貫通電極付き半導体デ

10

バイスの製造方法について説明する。
なお、図4は、この実施形態の貫通電極付き半導体デバイスの製造方法を工程順に示し、半導体デバイスを通電極の延在方向に切断した断面図であり、図5は貫通電極付き半導体デバイスを半導体基板上面から眺めた平面図である。

【0025】

この実施形態の貫通電極付き半導体デバイスの製造方法では、まず、図4（a）に示すように、半導体基板30において、電子デバイス31が設けられている側の面で、少なくとも貫通電極を形成する箇所に、厚さ1 μ m程度の絶縁層である第1のシリコン酸化膜32を形成する（第1の絶縁層形成工程）。この実施形態では、例えば、テトラエトキシシラン（TEOS）を原料とするプラズマCVD法により、第1のシリコン酸化膜32を形成

20

する。
なお、第1のシリコン酸化膜32を形成する方法は、TEOSを原料とするプラズマCVD法に限定されるものではなく、原料としてシランガス（SiH₄）などを用いることができ、また、製膜方法も電子デバイス31へ与えるダメージなどを考慮して、スパッタリング法や熱酸化法などを適用することができる。

【0026】

この実施形態では、半導体基板30として、シリコン基板を用いることによって、プラズマCVD法などにより、容易に第1のシリコン酸化膜32からなる絶縁層を形成できる。また、シリコン基板を用いれば、DRIE法によって、半導体基板30の面内に精度良く後述の細孔を形成することができる。

30

また、この第1のシリコン酸化膜32を形成することにより、後段の工程において形成される金属薄膜と半導体基板30との間が絶縁される。したがって、この金属薄膜を所望の形状とすることにより、この金属薄膜を半導体基板30上に設けられる電子デバイスと、貫通電極との間の配線として利用することができる。

さらに、絶縁層として第1のシリコン酸化膜32を用いることにより、DRIE法によって細孔を形成する際に、第1のシリコン酸化膜32がエッチングストップ層として働くため、半導体基板30の面内で均一に細孔を形成することができる。そして、エッチングガスを変えることにより、第1のシリコン酸化膜32のみを除去することができる。この場合、後述の金属薄膜がエッチングストップ層として働くから、一連の工程で金属薄膜の直下に、所望の細孔を形成することができる。

40

【0027】

次いで、図4（b）に示すように、少なくとも第1のシリコン酸化膜32上に、第1の金属薄膜33、およびこれとは異なる素材からなる第2の金属薄膜34を形成する（薄膜形成工程）。この実施形態では、例えば、スパッタリング法により、第1の金属薄膜33および第2の金属薄膜34を形成する。

これら金属薄膜を必要に応じて、適宜の方法でパターニングすることにより、図5（a）に示すような電極パッド38や、電子デバイス31との配線39を形成することができる。この実施形態では、第1の金属薄膜33としてアルミニウム-シリコン薄膜を、第2の金属薄膜34としてアルミニウム薄膜を形成する。また、電極パッド38と配線39を同時に形成する。

50

なお、この実施形態では、第1の金属薄膜33としてアルミニウム-シリコン薄膜を、第2の金属薄膜34としてアルミニウム薄膜を形成したが、本発明はこれに限定されるものではない。第1の金属薄膜33は、貫通電極37との密着性を高めるために、細孔35内に充填される導電性物質の種類に応じて、金、白金、チタン、銀、銅、ビスマス、錫、ニッケル、クロム、亜鉛などの金属、およびこれらの合金などから選択され、組み合わせられて形成することができる。また、第2の金属薄膜34は、他の半導体基板に設けられる、はんだバンプや、回路パターン（配線）などとの密着性を高めるために、これらの種類に応じて、金、白金、チタン、銀、銅、ビスマス、錫、ニッケル、クロム、亜鉛などの金属、およびこれらの合金などから選択され、組み合わせられて形成することができる。また、この実施形態では、半導体基板30上に形成される金属薄膜を、第1の金属薄膜33および第2の金属薄膜34の2層からなるものとしたが、本発明はこれに限定されるものではなく、金属薄膜が異なる種類の金属を3層以上積層して形成されたものであってもよい。

10

【0028】

このように、半導体基板30上に形成される金属薄膜を、異なる種類の金属を2層以上積層して形成すれば、後述の細孔内に充填される導電性物質と、金属薄膜との密着性を高めることができるから、貫通電極と金属薄膜（ここでは、第1の金属薄膜33および第2の金属薄膜34）との間で信頼性の高い電氣的接続を実現できる。

なお、通常のIC製造により、既に図4（b）の構造が実現されている場合は、本実施形態は、次の図4（c）で説明する工程から始めることができる。

【0029】

次いで、図4（c）および図5（b）に示すように、電子デバイス31や電極パッド38が形成されている面とは反対の主面Bにおける電極パッド38と重なる位置に、DRIE法によって、半導体基板30に、主面Bから第1のシリコン酸化膜32に至る細孔35を形成する（細孔形成工程）。

20

なお、細孔35の深さ方向と垂直な断面の形状は、円形、楕円形、三角形、四角形、矩形などいかなる形状であってもよく、その大きさも、所望の貫通電極付き半導体基板の大きさ、導電性（抵抗値）などに応じて適宜設定される。

【0030】

このように、細孔35の形成をDRIE法によって行えば、細孔35の微細な加工が容易であり、かつ、使用する半導体基板とエッチングガスを適宜選択することにより、細孔35および後述の、第1の金属薄膜33および第2の金属薄膜34直下の第2のシリコン酸化膜の除去を、一連のプロセスで行うことができるから、効率良く所望の細孔35を形成することができる。

30

【0031】

次いで、図4（d）に示すように、細孔35の孔壁および半導体基板30の他方の主面Bに、厚さ1 μ m程度の絶縁層である第2のシリコン酸化膜36を形成する（第2の絶縁層形成工程）。この実施形態では、例えば、テトラエトキシシラン（TEOS）を原料とするプラズマCVD法により、第2のシリコン酸化膜36を形成する。

なお、第2のシリコン酸化膜36を形成する方法は、TEOSを原料とするプラズマCVD法に限定されるものではなく、原料としてシランガス（SiH₄）などを用いることができ、また、製膜方法も電子デバイス31へ与えるダメージなどを考慮して、スパッタリング法や熱酸化法などを適用することができる。

40

【0032】

次いで、図4（e）に示すように、細孔35の第1の金属薄膜33および第2の金属薄膜34が形成されている側の端部における第2のシリコン酸化膜36および第1のシリコン酸化膜32のみを、エッチング処理により除去し、細孔35内に第1の金属薄膜33を露出させる（絶縁層除去工程）。細孔35の端部のシリコン酸化膜のみを除去するには、半導体基板30の表面のシリコン酸化膜をレジストなどで保護し、異方性エッチングプロセスを適用すればよい。この実施形態では、例えば、エッチングガスとして四フッ化炭素（CF₄）を用い、RIE（Reactive Ion Etching）法を用いるドラ

50

イエッチング法により、第1のシリコン酸化膜32および第2のシリコン酸化膜36のエッチングを行う。

【0033】

次いで、図4(f)に示すように、溶融金属吸引法または印刷法により、導電性物質を細孔35内に充填し、貫通電極37を形成し(導電性物質充填工程)、貫通電極付き半導体デバイスを得る。

この導電性物質充填工程においては、細孔35内に導電性物質を充填することにより、第1の金属薄膜33および第2の金属薄膜34と、貫通電極37とが電氣的に接続される。

【0034】

溶融金属吸引法では、例えば、導電性物質として、金80重量%-錫20重量%からなる共晶金属を使用する。一方、印刷法では、例えば、孔版印刷法により、銅ペーストを細孔35内に充填する。溶融金属吸引法を用いて、細孔35内に導電性物質を充填すれば、微細な細孔35内にも効率良く導電性物質を充填することができる。また、細孔35内の端部まで導電性物質を充填することができるから、第1の金属薄膜33および第2の金属薄膜34と、この導電性物質によって形成される貫通電極37とが電氣的に接続され、貫通電極37が電極として機能するようになる。

なお、この実施形態では、溶融金属吸引法によって細孔35内に、導電性物質として、金80重量%-錫20重量%からなる共晶金属を充填したが、本発明はこれに限定されるものではない。導電性物質として、異なる組成の金-錫合金や、錫、インジウムなどの金属、または、錫-鉛系、錫基、鉛基、金基、インジウム基、アルミニウム基などのはんたを使用することができる。

【0035】

印刷法では、例えば、孔版印刷法により、銅(Cu)ペーストを細孔35内に充填する。印刷法を用いて、細孔35内に導電性物質を充填すれば、半導体基板30または半導体基板30の積層体の主面の面積が大きくなっても、細孔35内に均一に、効率良く導電性物質を充填することができる。また、細孔35内の端部まで導電性物質を充填することができるから、第1の金属薄膜33および第2の金属薄膜34と、この導電性物質によって形成される貫通電極37とが電氣的に接続され、貫通電極37が電極として機能するようになる。

なお、印刷法によって細孔35内に、導電性物質として、銅ペーストを充填したが、本発明はこれに限定されるものではない。導電性物質として、銀ペースト、カーボンペースト、金-錫ペーストなどの導電性ペーストを使用することができる。

【0036】

この実施形態で得られた貫通電極付き半導体デバイスの他方の主面B上には、必要に応じて、図6(a)に示すような電極パッド40や配線41、または、図6(b)に示すような金属バンプ42を設けてもよい。

また、この実施形態で得られた貫通電極付き半導体デバイスは、表裏を貫通電極35によって電氣的に接続できるため、デバイスの積層や素子の小型化を可能とする。

【0037】

また、この実施形態では、第1の金属薄膜33または第2の金属薄膜34をパターニングすることにより、電極パッド38および配線39を同時に形成し、電子デバイス31と貫通電極37とを電氣的に接続したが、本発明はこれに限定されず、例えば、電子デバイス31と電極パッド38とを金属ワイヤによるワイヤボンディングで接続することなども可能である。

【0038】

【発明の効果】

以上説明したように、本発明によれば、既に電子デバイスや配線が設けられている半導体基板に対し、効率良く貫通電極を形成することができるから、容易に、貫通電極付き半導体基板または貫通電極付き半導体デバイスを製造することができる。

【図面の簡単な説明】

【図 1】 本発明の貫通電極付き半導体基板の製造方法の一実施形態を工程順に示し、半導体基板を貫通電極の延在方向に切断した断面図である。

【図 2】 貫通電極付き半導体基板を半導体基板上面から眺めた平面図である。

【図 3】 本発明の貫通電極付き半導体基板の製造方法によって得られた、貫通電極付き半導体基板の構成の一例を示す概略断面図である。

【図 4】 本発明の貫通電極付き半導体デバイスの製造方法の一実施形態を工程順に示し、半導体デバイスを貫通電極の延在方向に切断した断面図である。

【図 5】 貫通電極付き半導体デバイスを半導体基板上面から眺めた平面図である。

【図 6】 本発明の貫通電極付き半導体デバイスの製造方法によって得られた、貫通電極付き半導体デバイスの構成の一例を示す概略断面図である。

【図 7】 貫通電極が設けられた貫通電極付き半導体基板の構成の一例を示す概略断面図である。

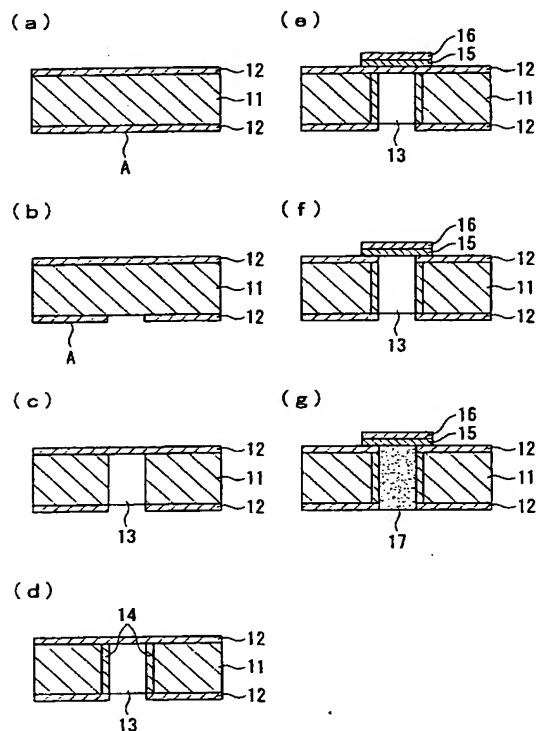
【図 8】 従来の貫通電極付き半導体基板の製造方法の一例を説明する図である。

【図 9】 貫通電極が設けられた貫通電極付き半導体基板の構成の他の例を示す概略断面図である。

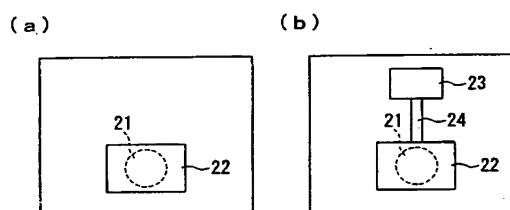
【符号の説明】

1 1, 3 0・・・半導体基板、1 2, 3 2・・・第 1 のシリコン酸化膜、1 3, 3 5・・・細孔、1 4, 3 6・・・第 2 のシリコン酸化膜、1 5, 3 3・・・第 1 の金属薄膜、1 6, 3 4・・・第 2 の金属薄膜、1 7, 3 7・・・貫通電極、3 1・・・電子デバイス

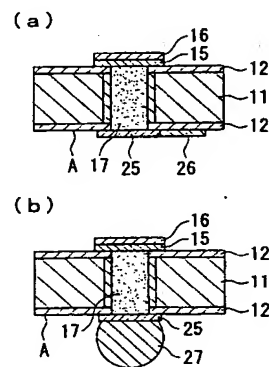
【図 1】



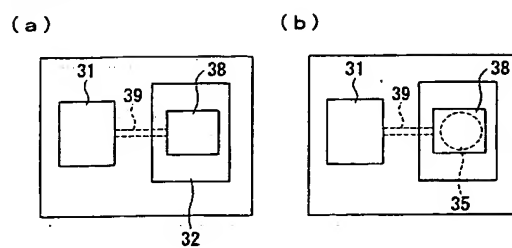
【図 2】



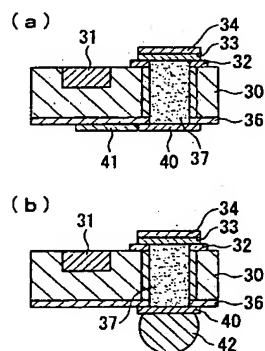
【図 3】



【図 5】



【圖 6】



A cross-sectional diagram of a device. It consists of a central layer labeled '3' which is filled with a stippled pattern. This central layer is flanked by two side layers. The layer on the left is labeled '1' and has diagonal hatching. The layer on the right is labeled '2' and is solid black. The entire assembly is shown in a cross-section.

Figure 1 consists of three schematic diagrams labeled (a), (b), and (c), each showing a cross-section of a composite material.
 (a) A central layer labeled 4 is positioned between two layers labeled 1.
 (b) A central layer labeled 4 is positioned between a layer labeled 1 on the left and a layer labeled 2 on the right.
 (c) A central layer labeled 3 is positioned between a layer labeled 1 on the left and a layer labeled 2 on the right.

フロントページの続き

- (72)発明者 山本 敏
東京都江東区木場 1 丁目 5 番 1 号 株式会社フジクラ内
- (72)発明者 滝沢 功
東京都江東区木場 1 丁目 5 番 1 号 株式会社フジクラ内
- (72)発明者 末益 龍夫
東京都江東区木場 1 丁目 5 番 1 号 株式会社フジクラ内
- (72)発明者 片白 雅浩
東京都渋谷区幡ヶ谷 2 丁目 4 3 番 2 号 オリンパス光学工業株式会社内
- (72)発明者 宮島 博志
東京都渋谷区幡ヶ谷 2 丁目 4 3 番 2 号 オリンパス光学工業株式会社内
- (72)発明者 松本 一哉
東京都渋谷区幡ヶ谷 2 丁目 4 3 番 2 号 オリンパス光学工業株式会社内
- (72)発明者 磯川 俊彦
東京都渋谷区幡ヶ谷 2 丁目 4 3 番 2 号 オリンパス光学工業株式会社内
- F ターム(参考) 5F033 HH07 HH09 HH11 HH12 HH13 HH14 HH17 HH18 JJ07 JJ11
JJ13 JJ14 JJ36 MM05 MM08 MM30 NN33 PP00 PP15 PP26
QQ25 QQ73 QQ76 RR04 SS04 SS08 SS15 SS25 SS27 VV07
XX13
5F044 QQ06 QQ07 RR03